

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DERWENT-ACC-NO: 1995-323112

DERWENT-WEEK: 199542

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Conductive chip type ceramic element
mfr. for thermistors - involves dissolving
portion of inorganic layer using conductive paste, and
forming plating layers on surface of outer electrode

PATENT-ASSIGNEE: MITSUBISHI MATERIALS CORP[MITV]

PRIORITY-DATA: 1994JP-0001248 (January 11, 1994)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 07201527 A		August 4, 1995	N/A
009	H01C 007/04		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 07201527A	N/A	
1994JP-0001248	January 11, 1994	

INT-CL (IPC): H01C007/02, H01C007/04 , H01C007/10 ,
H01C017/06 ,
H01C017/12

ABSTRACTED-PUB-NO: JP 07201527A

BASIC-ABSTRACT:

The mfg method involves formation of an inner package electrode (23) on both sides of a conductive ceramic sintered sheet (20). The sintered sheet cut into chips using a dicing saw, and a ceramic element assembly (22) is formed. An insulated inorganic layer (24) of 2-10 micrometers

thickness is formed on the ceramic element assembly. A conductive paste (25) is mixed with a metallic power and an inorganic bonding material (25a) and is applied on the end surfaces of the ceramic element assembly.

A conductive paste is baked at a temperature lower than the fusing point of the insulated inorganic layer. A part of inorganic layer is removed and an outer package electrode (26) is formed. The conductive paste reacts with the inorganic layer and dissolves a portion of it. Two plating layers (27,28) are formed on the surface of the outer electrode.

ADVANTAGE - Simplifies process. Reduces variation in electrical properties.

CHOSEN-DRAWING: Dwg.1/9

TITLE-TERMS: CONDUCTING CHIP TYPE CERAMIC ELEMENT
MANUFACTURE THERMISTOR
DISSOLVE PORTION INORGANIC LAYER CONDUCTING
PASTE FORMING PLATE
LAYER SURFACE OUTER ELECTRODE

DERWENT-CLASS: L03 V01

CPI-CODES: L03-B01A2;

EPI-CODES: V01-A04E; V01-A04F; V01-A04K1; V01-A04K2;
V01-A04K4;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-143394
Non-CPI Secondary Accession Numbers: N1995-243116

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C 7/04				
7/02				
7/10				
17/06	V			

H 0 1 C 17/ 12

審査請求 未請求 請求項の数4 O L (全 9 頁) 最終頁に続く

(21) 出願番号	特願平6-1248	(71) 出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(22) 出願日	平成6年(1994)1月11日	(72) 発明者	中島 弘明 埼玉県秩父郡横瀬町大字横瀬2270番地 三菱マテリアル株式会社セラミックス研究所内
		(72) 発明者	越村 正己 埼玉県秩父郡横瀬町大字横瀬2270番地 三菱マテリアル株式会社セラミックス研究所内
		(74) 代理人	弁理士 須田 正義

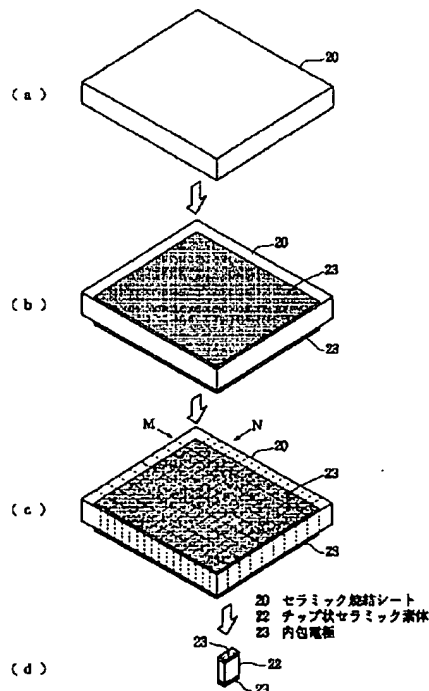
最終頁に続く

(54) 【発明の名称】 導電性チップ型セラミック素子の製造方法

(57) 【要約】

【目的】 簡便かつ迅速に内包電極及び絶縁性無機物層を形成し、チップ状素体の寸法のばらつき及び素子の電気的特性のばらつきが少ない。

【構成】 導電性セラミック焼結シート20の両面に内包電極23を形成し、内包電極を形成した焼結シートをダイシングソーによりチップ状に切断してチップ状セラミック素体22にする。内包電極を形成したセラミック素体の全面に厚さ2～10μmの絶縁性無機物層24を被覆し、このセラミック素体の内包電極を有する両端部表面に金属粉末と無機結合材を含む導電性ペースト25を塗布する。このセラミック素体を無機物層の融点又は軟化点より低い温度で焼成し、塗布したペーストの無機結合材にそのペーストの下地部分の無機物層の一部を反応溶解させることにより無機物層の一部を消滅させて外包電極26を形成する。外包電極の表面にめっき層27、28を形成する。



【特許請求の範囲】

【請求項1】 導電性セラミック焼結シート(20)の両面に内包電極(23)を形成する工程と、
前記内包電極(23)を形成した焼結シート(20)をダイシングソーによりチップ状に切断してチップ状セラミック素体(22)にする工程と、
前記内包電極(23)を形成したセラミック素体(22)の全面に厚さ2～10 μ mの絶縁性無機物層(24)を被覆する工程と、
前記無機物層(24)を被覆したセラミック素体(22)の内包電極(23)を有する両端部表面に金属粉末と無機結合材(25a)を含む導電性ペースト(25)を塗布する工程と、
前記ペースト(25)を塗布したセラミック素体(22)を前記無機物層(24)の融点又は軟化点より低い温度で焼成し、前記塗布したペーストの無機結合材(25a)にそのペーストの下地部分の前記無機物層(24)の一部を反応溶融させることにより前記無機物層(24)の一部を消滅させて外包電極(26)を形成する工程と、
前記外包電極(26)の表面にめっき層(27,28)を形成する工程とを含む導電性チップ型セラミック素子の製造方法。

【請求項2】 導電性セラミック焼結シート(20)が金属酸化物粉末と結合材とを混合して調製されたスラリーを成膜乾燥してグリーンシートを形成した後、前記グリーンシートを焼成して作られる請求項1記載の導電性チップ型セラミック素子の製造方法。

【請求項3】 導電性セラミック焼結シート(20)が金属酸化物粉末と結合材とを混合して直方体に成形し、前記成形体を焼成してセラミック焼結ブロックにした後、前記ブロックをウエハ状に切断して作られる請求項1記載の導電性チップ型セラミック素子の製造方法。

【請求項4】 チップ状セラミック素体(22)への絶縁性無機物層(24)の被覆がスパッタリング法により行われ、
前記スパッタリング法は前記チップ状セラミック素体(22)を回転軸が水平で内面にかき上げ用突起を有するバレル(30)に収容し、前記バレル中心部に前記バレル(30)と独立して設けられた絶縁性無機材料からなるターゲット(31)に前記バレル(30)を回転しながら高電圧を印加して前記無機材料からなる粒子を叩き出すことにより前記セラミック素体(22)の全面に絶縁性無機物層(24)を形成する方法である請求項1記載の導電性チップ型セラミック素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プリント回路基板等に表面実装されるチップ型のNTCサーミスタ、PTCサーミスタ、バリスタ等の導電性のあるセラミック素子の製造方法に関する。更に詳しくは両端部に内包電極を有する導電性チップ型セラミック素子の製造方法に関する

ものである。

【0002】

【従来の技術】図8に示すように、本出願人はこの種のチップ型セラミック素子の製造方法として、セラミックグリーンシートからチップ体1を打抜く工程(a)と、前記チップ体1を焼成してチップ状セラミック素体2にする工程(b)と、このセラミック素体2の両端面に内包電極3を形成する工程(c)と、この内包電極3を形成したセラミック素体の全面に厚さ2～10 μ mの絶縁性無機物層4を被覆する工程(d)と、この無機物層4を被覆したセラミック素体の両端部表面に金属粉末と無機結合材を含む導電性ペースト5を塗布する工程(e)と、前記ペーストを塗布したセラミック素体を前記無機物層の融点又は軟化点より低い温度で焼成し、前記塗布したペーストの無機結合材にそのペーストの下地部分の前記無機物層の一部を反応溶融させることにより前記無機物層の一部を消滅させて外包電極6を形成する工程(f)と、前記外包電極の表面にめっき層7、8を形成する工程(g,h)とを含む方法の特許出願した(特開平5-251210)。

【0003】内包電極3をセラミック素体2と外包電極6の間に介在させることにより、セラミック素体と接触する電極面積が一定となり、セラミック素子の電気的特性のばらつきが減少する。上記工程(c)の内包電極3の形成は、具体的には図9(a)に示すようにセラミック素体2を保持するための多数の保持孔9aが形成された弾性材料からなる保持プレート9を用いる。保持孔9aに相応して導入孔10aを有するローディングプレート10を保持プレート9に重ね合わせてプレート9の下側を真空ポンプ等により負圧にしてセラミック素体2を各保持孔9aに入れる(図9(b))。導入孔10aはセラミック素体2の端面が上面になるように広口に形成される。負圧状態を解除してから、孔の数だけ押出用ピン11aを備えた押出具11を用いて、各ピン11aをプレート9の上側から各保持孔9aに一定の長さだけ挿入しセラミック素体2をプレート9の下面から突出させる。この状態で保持プレート9を裏返して図9(c)に示すように均一の高さに揃えられたセラミック素体2の端面にスクリーン印刷する。図9(c)において、12はスクリーン、13はスキージ、14は銀ペーストである。

【0004】

【発明が解決しようとする課題】しかし、図9に示す保持プレート9、ローディングプレート10、押出具11等の治具を用いて図8(c)に示す内包電極3を形成する方法は、チップ型セラミック素子がチップ型サーミスタであって、サーミスタが長さ1～2mm程度で厚さ0.5～0.8mm程度の極めて小型である場合に、サーミスタ素体が保持孔9a又は導入孔10aに入りにくく、サーミスタ素体の端面を上方に揃える修正作業を要

し、作業性が悪く、製造コストを押し上げる欠点があった。また従来のチップ体の作製は、グリーンシートを打抜く方法によるため、チップ状セラミック素体の寸法上のばらつきが比較的大きく、これが内包電極とセラミック素体との接触面積のばらつきの一因となり、製品となるセラミック素子の電気的特性のばらつきを招来している。

【0005】本発明の目的は内包電極を簡便かつ安価に形成する導電性チップ型セラミック素子の製造方法を提供することにある。本発明の別の目的は、絶縁性無機物層を迅速に形成する導電性チップ型セラミック素子の製造方法を提供することにある。本発明の更に別の目的は、セラミック素体のばらつきが少なく、セラミック素子の電気的特性のばらつきが少ない導電性チップ型セラミック素子の製造方法を提供することにある。

【0006】

【問題点を解決するための手段】図1及び図2に示すように、本発明の導電性チップ型セラミック素子の製造方法は、導電性セラミック焼結シート20の両面に内包電極23を形成する工程と、この内包電極23を形成した焼結シート20をダイシングソーによりチップ状に切断してチップ状セラミック素体22にする工程と、この内包電極23を形成したセラミック素体22の全面に厚さ2~10 μ mの絶縁性無機物層24を被覆する工程と、この無機物層24を被覆したセラミック素体22の内包電極23を有する両端部表面に金属粉末と無機結合材25a(図4)を含む導電性ペースト25を塗布する工程と、このペースト25を塗布したセラミック素体22を無機物層24の融点又は軟化点より低い温度で焼成し、塗布したペーストの無機結合材25aにそのペーストの下地部分の無機物層の一部を反応熔融させることにより前記無機物層24の一部を消滅させて外包電極26を形成する工程と、この外包電極26の表面にめっき層27、28を形成する工程とを含む方法である。

【0007】以下、本発明を詳述する。

(a) 導電性セラミック焼結シートの製造

本発明の導電性セラミック焼結シートは次の方法により作られる。まずセラミック素子の用途に応じて金属酸化物粉末を採取する。例えば、サーミスタであればMn, Fe, Co, Ni, Cu, Al等の金属の酸化物粉末を、またバリスタであればTi, Ce, Ca, Sb, Nb等の金属の酸化物粉末を1種又は2種以上採取して混合する。2種以上混合するときは、所定の金属原子比になるように各金属酸化物を秤量する。この混合物を仮焼し粉碎した後、有機結合材及び溶剤を加え混練してスラリーを調製する。次いでこのスラリーをドクターブレード法等により成膜乾燥してグリーンシートを形成し、このグリーンシートを焼成することにより図1(a)に示すセラミック焼結シート20が作られる。別の方法として、所定の金属原子比になるように各金属酸化物を秤量

した金属酸化物粉末混合物と結合材とを均一に混合して直方体に成形し、この成形体を焼成してセラミック焼結ブロックにした後、前記ブロックをウエハ状に切断して作られる。

【0008】(b) 内包電極の形成

図1(b)に示すようにセラミック焼結シート20の両面に銀又は銀-パラジウム合金を含有するペーストを塗布した後、乾燥し焼付けることにより内包電極23を形成する。内包電極23の材料はセラミック焼結シート20と導電性を維持するものであれば銀又は銀-パラジウム合金に限定されるものではなく、その他にも金、白金或いはこれらを主成分とする金属材料でもよい。このペーストを塗布は焼結シート20の表面にペーストが均一な厚さになるようにスクリーン印刷により行われる。別の方法として、焼結シート20の両面に溶射法により内包電極を形成することもできる。

【0009】(c) チップ状セラミック素体の作製

図1(c)に示すように、ダイヤモンドブレード付き切断機のようなダイシングソーを用いて矢印Mの方向に内包電極23を両面に形成した焼結シート20を破線に沿って切断し、短冊状のセラミック素体を形成する。次いでこのセラミック素体を矢印Nの方向に破線に沿って切断し、図1(d)及び図2(a)に示す多数のチップ状セラミック素体22を得る。得られたチップ状セラミック素体はバレル研磨処理によりセラミック素体の角取りをしておくことが望ましい。

【0010】(d) セラミック素体への絶縁性無機物層の被覆

得られたセラミック素体22はその全面に厚さ2~10 μ m、好ましくは2~5 μ m、より好ましくは2~3 μ mの絶縁性無機物層24が被覆される。10 μ mより厚いと、後述する外包電極の形成時に熔融した無機物層が外包電極中に完全に吸収されず、無機物層が外包電極と内包電極の界面に絶縁性皮膜として残留するため外包電極と内包電極とが導通しない。また2 μ mより薄いと、後述するめっき処理に際して、まためっき処理後のセラミック素体の保護機能に劣る。この絶縁性無機物層24を例示すると、SiO₂膜、又は50重量%以上のSiO₂と残部がAl₂O₃, MgO, ZrO₂又はTiO₂のいずれか1種又は2種以上の酸化物により構成された薄膜、或いはSiO₂, B₂O₃, Na₂O, PbO, ZnO又はBaOのいずれか1種又は2種以上の酸化物を主成分とするガラスにより構成された薄膜が挙げられる。この無機物層24は後述する外包電極を形成するときの焼成温度より高い融点又は軟化点を有することが必要である。例えば、外包電極としてAgのペーストを焼付ける場合にはその焼成温度は600~850℃であるため、この温度より高い融点又は軟化点を有するものが選ばれる。この理由はペーストの焼付け温度より融点又は軟化点が大幅に低いと、ペースト焼付け時に無機物層が電極

表面に浮き上がったり、或いはセラミック素体同士又は素体と焼成治具との貼り付きが生じて歩留りが低下し易いからである。

【0011】無機物層24は、この要件以外は耐めっき性があり、後述する導電性ペーストに含まれる無機結合材と反応して熔融する性質を有するものであれば特に制限はなく、結晶質であっても非結晶質であってもよい。しかし、上記ガラスが結晶質であって、無機物層24を結晶化ガラスにするとセラミック素子の抗折強度が高まり好ましい。このセラミック素体への無機物層の被覆は真空蒸着法、スパッタリング法、イオンプレーティング法のような物理蒸着法(PVD法)又は化学蒸着法(CVD法)により行われる。この中でスパッタリング法が量産に適しているため好ましい。このスパッタリング装置は、図3に示すように互いに間隔をあけて水平に設けられた一対に回転ローラ32及び33の間にバレル内面にかき上げ用突起を有するバレル30を載せ、このバレル中心部に絶縁性無機材料からなるターゲット31がバレル30と独立して設けられる。この装置で無機物層を被覆するには、バレル30の内部に多数のチップ状セラミック素体を取容した後、一対の回転ローラ32及び33を回転させることによりバレル30をゆっくり回転させる。この状態でターゲット31に高電圧を印加して無機材料からなる粒子を叩き出す。これによりバレル内のセラミック素体の全面に絶縁性無機物層が形成される。ターゲット31は、例えば無機物層がSiO₂膜であれば石英ガラスを用い、またSiO₂, Al₂O₃, MgO, ZrO₂, TiO₂, B₂O₃, Na₂O, PbO, ZnO, BaO等の複合酸化物膜であれば、これらを粉末冶金でディスク状に成形するか、或いはこれらを熔融後冷却しディスク状の複合ガラスにして用いる。

【0012】(e) 外包電極の形成

図2(c)に示すように、絶縁性無機物層24を被覆したセラミック素体22の両端部表面に金属粉末と無機結合材を含む導電性ペースト25を塗布する。この塗布は導電性ペースト中にセラミック素体の両端部を浸漬させるディッピング法が好ましい。導電性ペースト25に含まれる金属粉末も内包電極と同種のAg, Au, Pd, Pt等の貴金属、又はこれらを混合した粉末が挙げられる。導電性ペーストに含まれる無機結合材を例示すれば、SiO₂, B₂O₃, Na₂O, PbO, ZnO又はBaOのいずれか1種又は2種以上の酸化物を主成分とする、ほうけい酸系ガラス、ほう酸亜鉛系ガラス、ほう酸カドミウム系ガラス、けい酸亜鉛系ガラス等のガラス微粒子が挙げられる。

【0013】図4に示すように、塗布された導電性ペースト25中には無機結合材25aが均一に分散しており、この無機結合材25aは導電性ペーストの焼付け時にペースト25に接触する無機物層24と反応して、図5に示すようにこの無機物層24を熔融させる性質を有

することが必要である。図2(d)及び図5に示すように導電性ペースト25は焼付けによって外包電極26を形成し、この外包電極26はその焼付け時に無機物層24の一部が消滅することによって、内包電極23に電気的に接続する。

【0014】(f) めっき層の形成

外包電極26の表面にめっき層が電解バレルめっき法により形成される。このめっき層は図2(e)に示すようにNiめっき層27を形成した後、図2(f)に示すようにSnめっき層28を形成して二重構造にすることが好ましい。Niめっき層27ははんだ耐熱性を向上して、はんだによる焼付け電極層の電極食われを防止し、Snめっき層28ははんだ付着性を向上する。図6及び図7に示すように、内包電極23、外包電極26、めっき層27及び28により端子電極29が形成される。

【0015】

【作用】外包電極用の導電性ペーストを塗布したセラミック素体を無機物層の融点又は軟化点より低い温度で焼成すると、図2(d)及び図5に示すように外包電極26が形成される。即ち、この焼成時にはペースト中に均一に分散した無機結合材25aが無機物層24の一部と反応してこれを熔融させる。流動化した無機物層24の無機物は金属が焼結する際にできる外包電極26内の細孔に侵入する。無機物層24の厚さは2~10μmに設定されているため、無機物層24の一部は焼成の過程で上記細孔内に吸収されて内包電極23の表面から部分的に消滅する。この結果、外包電極26と内包電極23は無機物層24の消滅した部分を通じて直接接合し、互いに電気的に導通する。内包電極23はセラミック素体22と導電性を維持するように形成されているから、外包電極層26とセラミック素体22とは電気的に導通する。

【0016】また、セラミック素体22と外包電極層26に挟まれて、内包電極23が存在しない部分の無機物層24では、熔融した無機物層24はその一部が外包電極26中に吸収されるが、無機物層24の厚さが2μm以上あるためその大部分がセラミック素体22上に残留する。このためセラミック素体22と外包電極層26とは部分的に接合する。しかしその接合が部分的であるため、外包電極層26とセラミック素体22との導電性は内包電極23が介在する部分での導電性に比べて無視できるほど小さく、電流は外包電極26、内包電極23、セラミック素体22を通じて流れる。一方、外包電極用の導電性ペーストが塗布されていない無機物層24の部分はペーストを焼付けても、その無機物層の融点又は軟化点が焼成温度より高いため、何ら変化を生じることなくセラミック素体22の表面に残留し、その絶縁保護機能を保持する。

【0017】

【発明の効果】以上述べたように、従来の製造方法で

は、小型のセラミック素子の場合、内包電極の形成工程が複雑で、作業性が悪かったものが、本発明の製造方法によれば、簡単な薄膜形成方法により簡便に内包電極を形成できるため、量産に適し、電極形成コストが安価になる。またバレル中心に無機材料からなるターゲットを配置してスパッタリングすることにより本発明のセラミック素体の全面に絶縁性無機物層を迅速に形成することができる。またダイシングソーによりチップ状に切断するため、セラミック素体の寸法上のばらつきが少なく、電気的特性にばらつきの少ない導電性チップ型セラミック素子が得られる。特に本発明の製造方法により作製された導電性チップ型セラミック素子は、電極が接触する部分を除いてセラミック素体が絶縁性無機物層で被覆され、セラミック素体がこの無機物層で保護されているため、めっき処理してもめっき液の素体への浸食やめっき付着による特性の変化がない。焼付け電極層の表面にめっき層を形成することにより、はんだ耐熱性とはんだ付着性に優れた効果を奏する。また内包電極を設けた導電性チップ型セラミック素子は、抵抗値のばらつきが小さく、外包電極の材料を広く選定できる利点がある。

【0018】

【実施例】次に本発明の具体的態様を示すために、本発明を実施例に基づいて説明する。以下に述べる実施例は本発明の技術的範囲を限定するものではない。

＜実施例1＞次の方法により導電性チップ型セラミック素子として、図6及び図7に示すチップ型サーミスタを作製した。まず市販の炭酸マンガンを、炭酸ニッケル、炭酸コバルトを出発原料とし、これらを $\text{MnO}_2:\text{NiO}:\text{CoO}$ に換算して金属原子比が所定の割合になるようにそれぞれ秤量した。秤量物をボールミルで16時間均一に混合した後に脱水乾燥した。次いでこの混合物を900℃で2時間仮焼し、この仮焼物を再びボールミルで粉砕して脱水乾燥した。粉砕物に有機結合材を加え、均一に混合した後、混合物を直方体に圧縮成形した。この圧縮成形物を大気圧下、1200℃で4時間焼成し、たて約35mm、よこ約50mm、厚さ約10mmのセラミック焼結ブロック（図示せず）を作製した。次にこのブロックをバンドソーでウエハ状に切断し、たて約35mm、よこ約50mm、厚さ約1.9mmの焼結シートを得た。

【0019】次にこの焼結シートの両面に銀ペーストをスクリーン印刷法により塗布し、乾燥した。乾燥後、大気圧下、800℃で焼付けて、図1(b)に示すように焼結シート20の両面に内包電極23を形成した。続いて図1(c)及び(d)に示すように上記バンドソーを用いて焼結シート20をダイシングし、長さ1.9mm

m、幅1.2mm、厚さ0.5mmのチップ状サーミスタ素体22を得た。図2(b)に示すようにこのサーミスタ素体22を図3に示すスパッタリング装置を用いてその表面全体に厚さ2μmの SiO_2 膜からなる絶縁性無機物層24を形成した。

【0020】次の方法によりサーミスタ素体22の両端部に電極を設けた。この電極は、内包電極23と外包電極26とNiめっき層27とSnめっき層28により構成される。まず無機物層を形成したサーミスタ素体の両端部表面に導電性ペーストをディッピング法により塗布した（図2(c)）。導電性ペーストは市販の銀ペーストであって、Ag粉末と、 SiO_2 、 TiO_2 、 B_2O_3 、 Na_2O 及び K_2O からなるガラス微粒子と、有機ビヒクルとからなる。導電性ペーストを塗布したセラミック素体を大気圧下、乾燥した後、30℃/分の速度で、820℃まで昇温しそこで10分間保持し、30℃/分の速度で室温まで降温してAgからなる外包電極26を得た（図2(d)）。

【0021】次いで電解バレルめっき法で電極26の表面に厚さ2～3μmのNiめっき層27を形成し、続いて厚さ1～2μmのSnめっき層28を形成し、図6及び図7に示すチップ型サーミスタを得た。

＜比較例1＞実施例1と同じ炭酸マンガンを、炭酸ニッケル、炭酸コバルトの混合物を仮焼した後、仮焼物を脱水乾燥し粉砕した物に有機結合材を加え、均一に混合してスラリーを調製した。このスラリーをドクターブレード法により成膜乾燥して厚さ0.62mmのグリーンシートを形成した。このシートから2.34mm×1.48mmの大きさのチップ体を打抜き、大気圧下、1200℃で4時間焼成し、長さ1.9mm、幅1.2mm、厚さ0.5mmの実施例1と同形同大のチップ状サーミスタ素体を得た。

【0022】このサーミスタ素体の両端面に図9に示すスパッタリング装置を用いて実施例1と同一の銀ペーストをスクリーン印刷し、実施例1と同様に乾燥し、焼付け内包電極を形成した。以下実施例1と同様にしてチップ型サーミスタを得た。

【0023】＜比較試験と結果＞実施例1と比較例1のチップ状サーミスタ素体をそれぞれ100個採取し、実施例1と比較例1のそれぞれのチップ状サーミスタ素体の寸法のばらつきと、得られたチップ型サーミスタの25℃におけるゼロ負荷抵抗値のばらつきを比較試験した。その結果を表1に示す。

【0024】

【表1】

	実施例1	比較例1
チップ状素体寸法のばらつき 幅方向のばらつき (μm) 厚さ方向のばらつき (μm)	2 2	9 21
25℃におけるゼロ負荷抵抗値 のばらつき 3 σ /平均値 (%)	0.75	6.08

【0025】表1から明かなように、実施例1は比較例1に比べてサーミスタ素体の寸法のばらつきが小さく、サーミスタでは電気的特性のばらつきが小さいことが判明した。

【0026】＜実施例2＞実施例1と同じ炭酸マンガ、炭酸ニッケル、炭酸コバルトの混合物を仮焼した後、仮焼物を脱水乾燥し粉碎した物に有機結合材を加え、均一に混合してスラリーを調製した。このスラリーをドクターブレード法により成膜乾燥してグリーンシートを形成した。このグリーンシートを1200℃、4時間焼成し、たて約35mm、よこ約50mm、厚さ約0.95mmのサーミスタ焼結シートを得た。次に実施例1と同様にして焼結シートの両面に内包電極を形成し、バンドソーを用いて焼結シートをダイシングし、長さ0.95、幅0.45mm、厚さ0.45mmのチップ状サーミスタ素体を得た。以下、実施例1と同様にし*

10*でサーミスタ素体の表面全体に絶縁性無機物層を形成し、サーミスタ素体の両端部に内包電極と外部電極とNiめっき層とSnめっき層とをこの順に形成し、チップ型サーミスタを得た。

【0027】＜比較例2＞比較例1と同様にして実施例2と同形同大のチップ型サーミスタを作製した。

【0028】＜比較試験と結果＞実施例2と比較例2のチップ状サーミスタ素体をそれぞれ100個採取し、実施例2と比較例2のそれぞれのチップ状サーミスタ素体の寸法のばらつきと、得られたチップ型サーミスタの25℃におけるゼロ負荷抵抗値のばらつきを比較試験した。また実施例2と比較例2のサーミスタ素体の各1000個についての内包電極を形成するに要した時間を測定した。その結果を表2に示す。

【0029】

【表2】

	実施例2	比較例2
チップ状素体寸法のばらつき 幅方向のばらつき (μm) 厚さ方向のばらつき (μm)	3 2	6 19
25℃におけるゼロ負荷抵抗値 のばらつき 3 σ /平均値 (%)	1.07	5.43
内包電極形成に要した時間 (分)	40	90

【0030】表2から明かなように、実施例1より更に小型の実施例2についても、比較例2と比べてサーミスタ素体では寸法のばらつきが小さく、サーミスタでは電気的特性のばらつきが小さいことが判明した。またこの形状寸法ではチップ状素子の端面にスクリーン印刷する比較例2の方法と比べて、焼結シート表面にスクリーン印刷する実施例2の方法の方が内包電極を形成するのに要する時間が大幅に短縮され、製造コストの面でも実施例2の方法が優れていることが認められた。

【図面の簡単な説明】

【図1】本発明のセラミック焼結シートからチップ状セラミック素体を作るまでの工程における斜視図。

【図2】本発明のチップ状セラミック素体からチップ型セラミック素子を作るまでの工程における斜視図。

※【図3】そのセラミック素体表面に絶縁性無機物層を被覆するためのスパッタリング装置の概略斜視図。

【図4】そのセラミック素体に導電性ペーストを塗布した状態の要部拡大断面図。

【図5】その導電性ペーストを焼付けた状態の要部拡大断面図。

【図6】本発明のチップ型セラミック素子の要部破断斜視図。

【図7】その中央断面図。

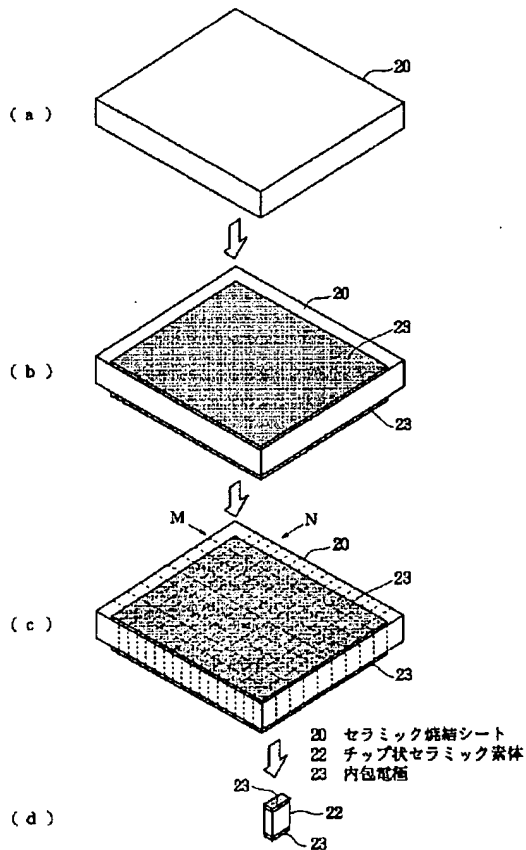
【図8】従来例のチップ状セラミック素体からチップ型セラミック素子を作るまでの工程における斜視図。

【図9】従来例のセラミック素体端面に内包電極用の銀ペーストを塗布する状況を示すセラミック素体の保持プレート断面図。

【符号の説明】

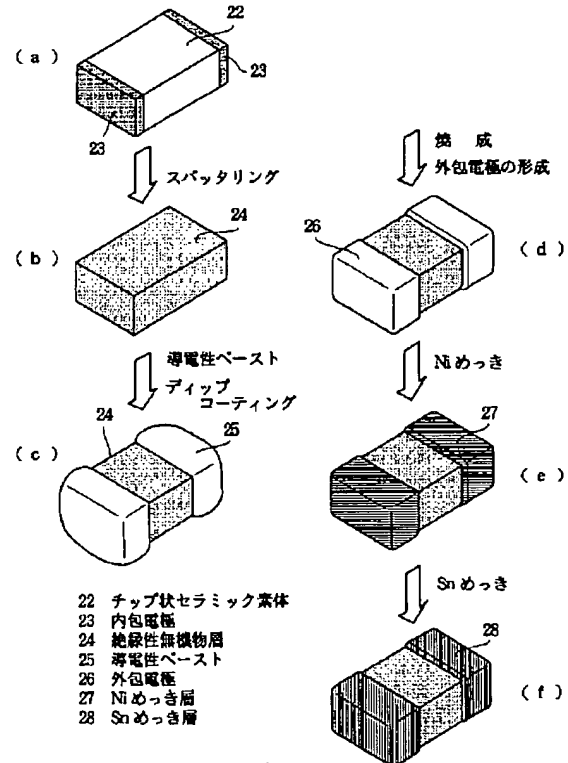
- 20 セラミック焼結シート
22 チップ状セラミック素体
23 内包電極
24 絶縁性無機物層
25 導電性ペースト

【図1】

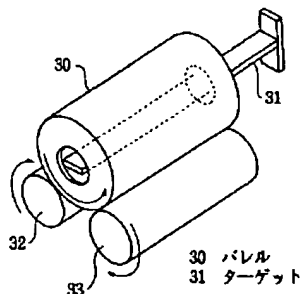


- 25a 無機結合材
26 外部電極
27 Niめっき層
28 Snめっき層
30 パレル
31 ターゲット

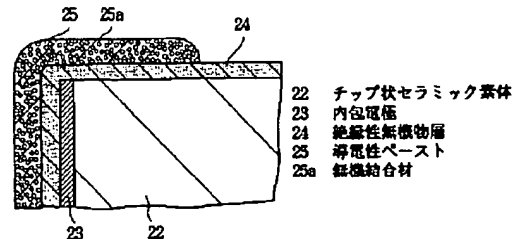
【図2】



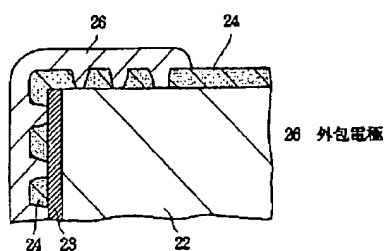
【図3】



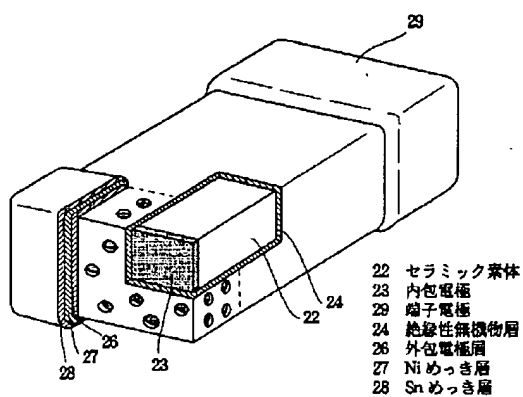
【図4】



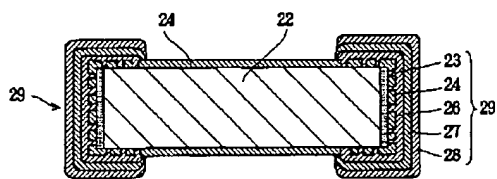
【図5】



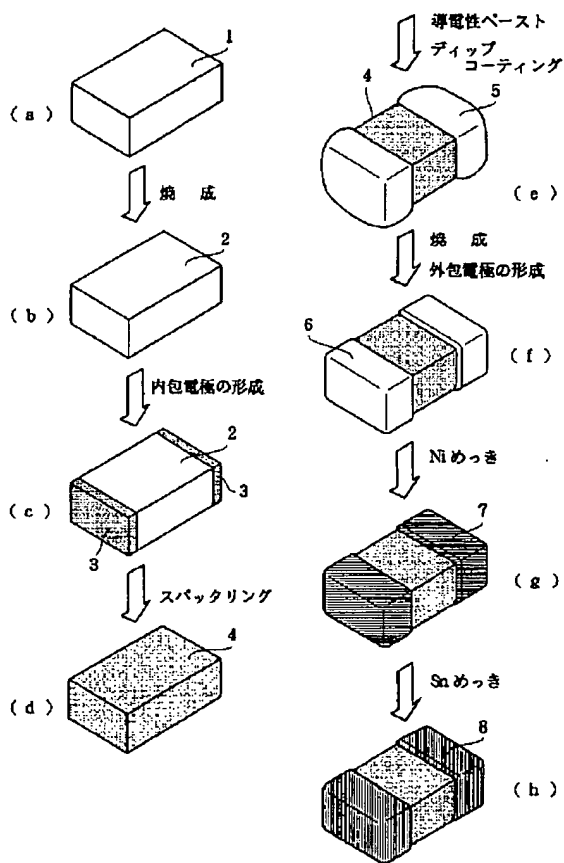
【図6】



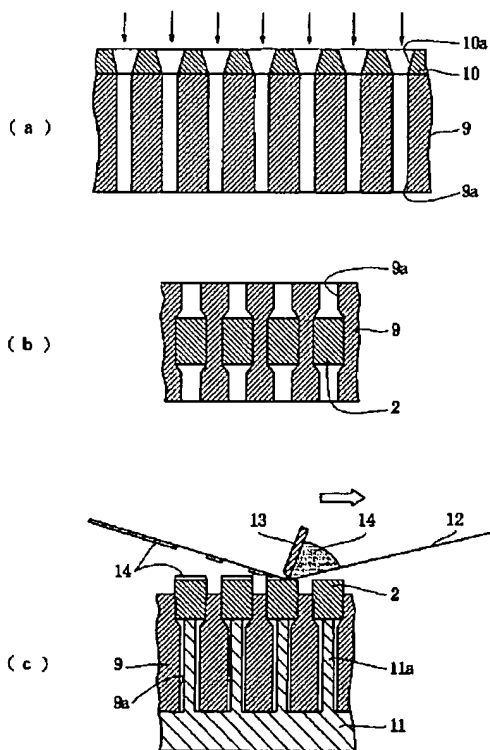
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 C 17/12

(72)発明者 藤本 義典

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社セラミックス研究所

内